

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-141573

(43)Date of publication of application : 26.07.1985

(51)Int.CI.

B41J 5/30
 G06K 15/12
 G09G 1/02
 G09G 1/06
 // B41J 3/00
 G06F 3/12

(21)Application number : 58-250386

(71)Applicant : RICOH CO LTD

(22)Date of filing : 28.12.1983

(72)Inventor : MANIWA YOSHIO

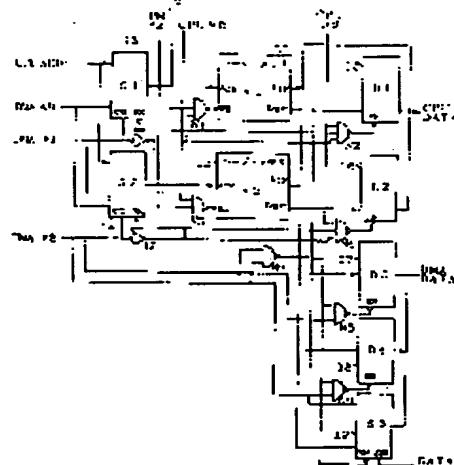
(54) PAGE PRINTER

(57)Abstract:

PURPOSE: To obtain even an overlap printing function, by a method wherein a mode of gaining access independently to two independent page memories and a mode of gaining access simultaneously to both of the page memories at the same address can be selectively used, in a laser printer.

CONSTITUTION: In each of the page memories 11, 12, it is possible to select an address for a direct memory access (DMA) action and an address for a CPU action by a selector 13, 14. In data buses of the memories 11, 12, it is possible to select the read data by buffer gates 15, 16, respectively. When using one of the memories for an overlap printing function, selecting cires DMA#1, DMA#2 are simultaneously made to be high (H), buffer gates 17, 18 are turned OFF, only a selector 19 is turned ON, whereby the same DMA address ADD is given to the memories 11, 12, and two character codes are simultaneously obtained to perform overlap printing.

Accordingly, high-speed printing can be conducted and an overlap printing function can be also obtained, with low-capacity page memories.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報 (A)

昭60-141573

⑬ Int. Cl.

B 41 J	5/30
G 06 K	15/12
G 09 G	1/02
	1/06
// B 41 J	3/00
G 06 F	3/12

識別記号

厅内整理番号

⑭ 公開 昭和60年(1985)7月26日

7810-2C
7208-5B
7923-5C
7923-5C
D-8004-2C
7208-5B

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 ページ・プリンタ

⑯ 特願 昭58-250386

⑰ 出願 昭58(1983)12月28日

⑱ 発明者 馬庭芳夫 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑲ 出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号
 ⑳ 代理人 弁理士磯村雅俊

明細書

1. 発明の名称 ページ・プリンタ

2. 特許請求の範囲

コード情報をページ単位で記憶するページ・メモリと、上記コード情報に対応する图形情報を記憶するバターン・メモリを有し、ラスタ走査の同期信号をカウントすることにより位相情報を上記ページ・メモリとバターン・メモリのアドレスとして与え、图形情報をラスタ・データにして出力するページ・プリンタにおいて、2つの独立したページ・メモリと、該ページ・メモリをそれぞれ異なるアドレスで独立してアクセスする手段と、該ページ・メモリを同時に同一アドレスでアクセスする手段と、上記両手段の一方を選択指定する手段を有することを特徴とするページ・メモリ。

3. 発明の詳細な説明

技術分野

本発明は、ページ・プリンタに関し、特にページ・メモリに文字コード情報を2次元的に配置し

て、高速印字と重ね印字を切換えて行うレーザ・プリンタに関するものである。

従来技術

レーザ・プリンタは、印字途中で停止させることができないため、ラスタ信号に同期させて一定周波数でドット・データを出力する必要がある。そのため、2次元的に文字を配列するページ・メモリを設け、外部装置から送られてきたコード信号をバターン・メモリのアドレスに対応させたコードに変換し、CPU動作によりページ・メモリに記憶させ、1ページ分のデータの受信が終了した時点で、CPUの制御を離れ、DMA (Direct Memory Access) 効作によりバターン・データ(ラスタ・データ)を得ている。したがつて、印字効作中は、ページ・メモリをCPUからアクセスできないため、次のページのデータ受信は、印字効作が終了するまで待たなければならない。そのため、印字効作は、間歇的となつて遅くなる。そこで、従来、この遅れを防止するため、2ページのバッファを用意して、印字効作と受信効作を交互

に割当てて、速度を落さないようにしている。

一方、2つの文字をオーバラップさせて新しい文字を印字したり、あるいはグラフ等の図形中に文字を挿入したり、あるいは画線中に文字を挿入する場合には、重ね印字が行われるが、これはページ・メモリの同一文字位置に異なつた文字コードを格納する必要があるため、さらにページ・メモリの容量が倍増することになる。

目的

本発明の目的は、このような従来の問題を改善するため、ページ・メモリの容量を増加せずに、高速印字および重ね印字が可能なページ・プリンタを提供することにある。

構成

以下、本発明の構成を、実施例により説明する。

前述のように、ラスタ走査により印字するレザ・プリンタの印字速度を高速に保つためには、2ページ分のページ・メモリが必要であり、また文字の重ね印字機能を付加するためには、更に倍のページ・メモリ容量が必要となる。しかし、重

ね印字機能は、常時必要とされる機能ではなく、要求時にその機能を実施できればよい。したがつて、本発明においては通常は、2ページのページ・メモリを印字動作と受信動作の交互に使用して印字速度を高速に保ち、要求時のみ、印字速度を犠牲にして重ね印字機能に使用する構成とし、全体的にコスト低下を図る。

第1図は、本発明の実施例を示すページ・プリンタの印字制御部のプロック図であり、第2図は第1図のページ・メモリ内の文字配置を示す図である。

第1図において、1はページ・メモリおよび制御回路、2は文字バーン・メモリ、3はデータ・レジスタ、4は並直列変換回路、5は文字アドレス・カウンタ、6は行アドレス・カウンタ、7はドット・カウンタ、8はライン・カウンタ、9はメモリ・アクセス・タイミング回路である。

第1図のページ・メモリ1は、第2図に示すような文字配置で格納されており、1文字、1行単位で制御される。また外部装置から送られた文字

(図形)コードは、それに対応する文字(図形)バーンを記憶しているバーン・メモリ2の格納先頭アドレスとなるよう、CPUによりコード変換されてから、ページ・メモリ1に格納される。

第1図のドット・カウンタ7は、主走査クロックで駆動され、文字マトリクスの幅(または高さ)方向の制御を行い、文字幅が所定のドット数に達した時点で文字アドレス・カウンタ5をカウント・アップする。文字アドレス・カウンタ5は、ページ・メモリ1の文字アドレスを制御し、1主走査ラインが終了した時点でドット・カウンタ7とともに初期状態にリセットされる。

ライン・カウンタ8は、副走査クロックで駆動され、文字マトリクスの高さ(または幅)方向の制御を行い、文字の高さが所定ライン数に達した時点で行アドレス・カウンタ6をカウント・アップする。行アドレス・カウンタ6は、ページ・メモリ1の行アドレスを制御する。文字アドレスと行アドレスで指定されたページ・メモリ1からは、

文字マトリクスの先頭アドレスが得られる。そして、この先頭アドレスとドット・カウンタ7およびライン・カウンタ8からのアドレスで指定することにより、文字バーン・メモリ2から文字マトリクスのメモリ格納単位のバーン・データが得られる。このバーン・データは、並直列変換回路4でラスター・データに変換され、出力される。

以上の動作は、すでにページ・メモリ1に印字データが格納されている状態で、印字動作(DMA動作)に入つた場合の説明である。印字データは、CPUのプログラム動作により事前にページ・メモリ1に格納される。したがつて、ページ・メモリ1のアドレス・バスとデータ・バスは、DMA動作用とCPU動作用に2組設けられており、印字動作時のみDMAアドレスによりデータが読み出される。また、ページ・メモリ1は2ページ分設けられ、外部装置から受信されたコード情報を内部コードに変換して、ページ・メモリ選択信号PM1, PM2でどちらか一方を指定して格納する。1ページ分のデータ格納が終了したとき、印

字すべきページ・メモリを選択信号DMA1, DMA2で指定して、どちらか一方をDMA動作で印字に使用する。すなわち、2ページのページ・メモリ1を通常は各々独立させて、一方を印字動作(DMA動作)に使用しているとき、他方は受信動作(CPU動作)に使用し、両者を適時に切換えて、印字動作が中断されないように制御されている。

一方、プリンタの機能を変更して、重ね印字が可能となるように、外部装置から要求があつた場合、2ページのページ・メモリ1を1ページとして扱うように機能する。

第3図は、第1図のページ・メモリと制御回路の詳細ブロック図である。

各々ページ・メモリ11, 12には、DMA動作で使用するDMAアドレス(ADD)とCPU動作で使用するCPUアドレス(ADD)がセレクタ13, 14により選択されるようになつておき、また、ページ・メモリ11, 12のデータ・バスはバッファ・ゲート15, 16によりCPUの読み出しデータを選択できるようにしている。

したデータ(CPU DATA)をバッファ・ゲート15, 16を介してCPUに転送する。

DMA動作時で、かつページ・メモリ11, 12を交互に使用する場合には、選択線DMA#1, DMA#2を交互に活性状態としてDMAアドレスを与えて、DMAデータを得る。

次に、一方のページ・メモリを重ね印字機能として使用する場合、選択線DMA#1, DMA#2の両方を同時に活性状態とすることにより、バッファ・ゲート17, 18は非動作状態となり、セレクタ19のみが動作状態となる。そして、両ページ・メモリ11, 12に同一のDMAアドレス(ADD)を与え、同時に2つの文字コードを得る。得られた2つの文字コードは、第1図のメモリ・アクセス・タイミング回路9により、先ず初めて一方のコードに基づいてパターン・メモリ2からパターン・データを読み出し、これをデータ・レジスタ3に保持した後、次に他方のコードに基づいて別のパターン・データを読み出し、両者の論理和をとつて並直列変換回路4に入力する。並

DMA時には、バッファ・ゲート17, 18によりページ・メモリ11, 12からの読み出しだを選択できるようにしている。

CPU動作の場合、選択線DMA#1, DMA#2はともに非活性状態になつておき、両メモリ11, 12ともにアドレスはCPUアドレス(ADD)となり、ゲートN1, N2, N3, N4を介して読み出し、書き込みができる状態となる。ページ・メモリ11, 12を初期クリアする場合には、ページ・メモリ選択信号PM#1, PM#2をともに活性状態にしてゼロ・データを書き込む(CPU WR)。ページ・メモリ11, 12へのデータの書き込み、またはページ・メモリ11, 12からのデータの読み出しが、選択信号PM#1, PM#2でいずれか一方を活性状態にして、CPU書き込み信号(CPU WR)またはCPU読み出し信号(CPURD)を“1”にすると同時に、データ(CPUDATA)を直接、ページ・メモリ11, 12の端子DINに入力するか、またはページ・メモリ11, 12の端子Doutから読み出

直列変換回路4ではオーバレイされたパターン・データをラスタ・データに変換して、レーザ・プリンタに送出する。これにより、重ね印字を実施することができる。第3図において、セレクタ19に入力される選択信号(DATA SEL)は、ページ・メモリ11, 12の出力データが安定し、パターン・メモリ2からパターン・データが得られるまでの十分な時間を与え、かつその終了時にデータ・レジスタ3にデータを保持するクロックを与える。

なお、実施例では、レーザ・プリンタとして説明したが、ラスタ走査形式のプリンタであれば、静電プリンタ、サーマル・プリンタ、インクジェット・プリンタ等の各種プリンタにも適用できることは勿論である。

効果

以上説明したように、本発明によれば、2つの独立したページ・メモリを、独立にアクセスする場合と、両方同時に同一アドレスでアクセスする場合とを選択して使用できるので、少ない容量の

ページ・メモリで高速印字が可能であると同時に、重ね印字機能も実施することができる。

4. 図面の簡単な説明

第1図は本発明の実施例を示すページ・プリンタの印字制御部のプロック図、第2図は第1図のページ・メモリ内の文字配置を示す図、第3図は第1図のページ・メモリと制御回路の詳細プロック図である。

1：ページ・メモリおよびその制御回路、2：文字パターン・メモリ、3：データ・レジスタ、4：並直列変換回路、5：文字アドレス・カウンタ、6：行アドレス・カウンタ、7：ドット・カウンタ、8：ライン・カウンタ、9：メモリ・アクセス・タイミング、11，12：ページ・メモリ、13，14，19：セレクタ、15，16，17，18：バッファ・ゲート。

特許出願人 株式会社 リコ一
代理人 井理士 磯村 雅俊

